

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330628

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 33/00			H 0 1 L 33/00	C
21/203			21/203	Z
21/31			21/31	C
21/301			H 0 1 S 3/18	
H 0 1 S 3/18			H 0 1 L 21/78	R
審査請求 未請求 請求項の数 6 O L (全 13 頁)				

(21) 出願番号 特願平7-235802

(22) 出願日 平成7年(1995)9月13日

(31) 優先権主張番号 特願平7-72678

(32) 優先日 平7(1995)3月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山本 雅裕

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 藤本 英俊

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 国分 義弘

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

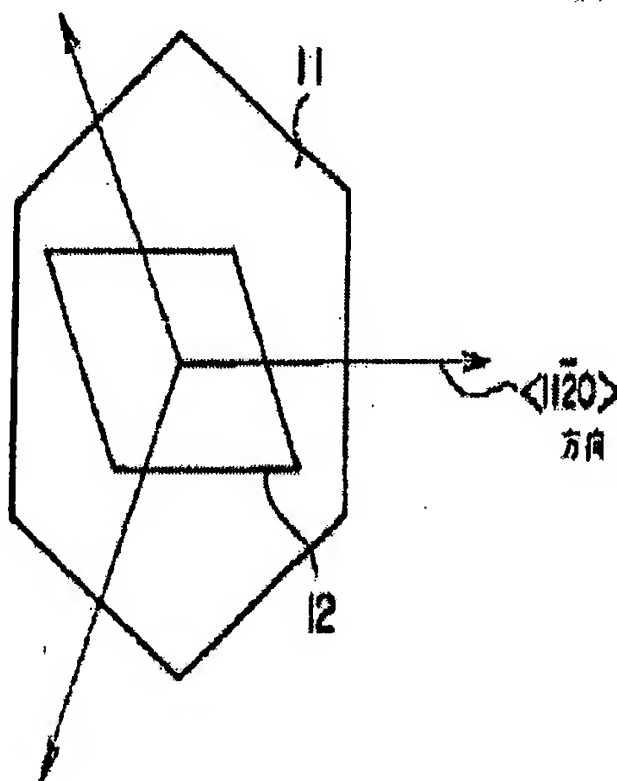
最終頁に続く

(54) 【発明の名称】 半導体発光素子、及びその製造方法

(57) 【要約】

【課題】 発光効率等の特性に優れた発光素子を提供する。

【解決手段】 六方晶系の基板(11)上に、平行四辺形の半導体層(12)を形成する。この平行四辺形は、その辺が<11-20>方向と平行である。基板(11)をこの平行四辺形の辺に沿って切断する。



【特許請求の範囲】

【請求項 1】 六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、前記単結晶基板及び化合物半導体層がそれぞれ多角形の平面形状を有し、この多角形の内角のうち少なくとも1つが $(60^\circ \pm 3^\circ) \times n$ (n は自然数)であることを特徴とする半導体発光素子。

【請求項 2】 六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、前記単結晶基板及び化合物半導体層がそれぞれ1又はそれ以上の正三角形により構成された平面形状を有することを特徴とする半導体発光素子。

【請求項 3】 単結晶基板と、この単結晶基板上に積層された六方晶系の化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、前記単結晶基板の厚さを T 、素子の最も長い一辺の長さを L としたとき、 $T/L < 2$ を満足し、かつ基板表面の凹凸が基板の厚さ T の3%以内にあることを特徴とする半導体発光素子。

【請求項 4】 六方晶系の単結晶基板と、この単結晶基板上に積層された六方晶系の化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、発光素子の一辺が少なくとも $<11-20>$ もしくは $<1-100>$ 方向のいずれかに平行であることを特徴とする半導体発光素子。

【請求項 5】 基板と、この基板上に積層された半導体膜と、この半導体膜に接する電極を備えた半導体素子において、前記基板が表面から前記半導体膜に達する開口部を有し、前記基板と平行な面での開口部の断面積の最小値が前記半導体層の開口部の基板と平行な面での断面積に比較して小さく、前記電極がこの開口部から前記半導体膜に接するように形成されていることを特徴とする半導体素子。

【請求項 6】 六方晶系の単結晶基板上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記化合物半導体層及び電極を形成した単結晶基板を切断する工程を備えた半導体発光素子の製造方法において、前記化合物半導体層及び電極を形成した単結晶基板 $<11-20>$ 方向もしくは $<1-100>$ 方向に平行に切断して平面多角形状にすることを特徴とする半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】 本発明は、半導体発光素子等の半導体素子、及びその製造方法に関する。

【0002】

【従来の技術】 一般に、発光ダイオード、レーザダイオード等の発光素子は、閃亜鉛鉱構造を有するGaAs、GaP等の基板上に、例えばGaAs、InGaP、GaAlAs等の化合物半導体材料を結晶成長させ、これをチップ化して作製されている。チップ化の際には、スクライビングを行ってから基板を切断する。閃亜鉛鉱構造を有する基板は、 $<110>$ 方向に劈開性を有するので、針状のスクライバーを用いてこの方向にスクライブラインを入れ、このラインに沿って基板を押し割ることによって容易にチップ状に分離することができる。

【0003】 ところで、最近、青色発光を含む短波長発光の素子に用いる半導体材料としてGaNを代表とする窒化ガリウム系のIII-V族窒化物系化合物半導体が有望視されている。この種の素子には、基板として通常サファイアが使用される。これをチップ化する際には、円盤カッター等を用いて基板を切断するダイシングを行うか、あるいはスクライビングを行って、正方形や長方形のチップとする。

【0004】 しかしながら、サファイアは、 $<110>$ 方向に劈開性を持たないため、閃亜鉛鉱構造を有する基板に比べ、ダイシングやスクライビング時に基板に余分な力が加わり、切断がかなり強制的になる。それ故、結晶性の悪化をもたらす等チップに物理的な悪影響を及ぼし、素子の発光効率が低下するという問題がある。また、強制的な切断を行うために、切断面が鏡面とならず、切断面すなわちチップ端面の平坦性が発光に影響するレーザダイオード等の発光素子の作製が困難となるばかりでなく、歩留りが低下するという問題もある。

【0005】 加えて、上記のようなチップは正方形や長方形なので、これらの角の部分に電極を形成すると電極の占める面積によって発光ダイオード等の発光面積が小さくなって光取り出し効率が低くなり、発光効率が低下するという問題もある。

【0006】 ところで、ZnSe等のII-VI族化合物半導体は、可視波長領域の青や緑の波長に相当するエネルギーと同等もしくはそれ以上の広いバンドギャップ(ワイドギャップ)を有し、可視発光素子材料として注目を集めている。特にGaAlAs、InGaAlP等のIII-V族化合物半導体材料を用いた半導体レーザや発光ダイオードの動作波長域が緑色より長い波長域にあるのに対し、ワイドギャップII-VI族化合物半導体はより波長の短い青色や紫外光までの動作波長域を有し得る。このことにより、小型、軽量、低動作電圧、高信頼性等従来の半導体発光素子の有する利点を短波長域でも発揮できるようになり、例えば光ディスクの高密度化が期待できるばかりでなく、屋外メッセージボード等のフルカラー化も期待できることとなる。

【0007】 このようなZnSe等のワイドII-VI族化合物半導体を用いた青緑色半導体発光素子に関し、室温

で動作する電流注入型半導体レーザーが報告されている(オクヤマら、日本応用物理学会誌30L1620(1991))。この半導体レーザーは、分子線エピタキシー(MBE)法によりGaAs基板上にZnSe等のII-VI族化合物半導体を成長させることにより、青緑色発光を得たものである。しかしながら、この半導体レーザーでは、実用的な半導体レーザーとして必要な低動作電圧、長寿命、高光効率は達成されていない。

【0008】これは、II-VI族化合物半導体は、III-V族化合物半導体に比べて異種基板(例えば、GaAs基板)との格子整合をはかることが困難であること、また基板上へ成長させる際の制御が困難であるためにその結晶(特に基板半導体との界面近傍)に欠陥が多く、キャリア濃度が低くなり、あるいは通電により欠陥が増殖することが原因であると考えられる。

【0009】

【発明が解決しようとする課題】上述したように、従来の半導体発光素子は、発光ダイオードであれ、レーザーダイオードであれ、発光効率等の特性においてなお満足できるものではない。

【0010】本発明は上記の問題を解決し、発光効率等の特性が良好な半導体発光素子及びその製造方法を提供することを課題とする。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明は、第1に、六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、前記単結晶基板及び化合物半導体層がそれぞれ多角形の平面形状を有し、この多角形の内角のうち少なくとも1つが $(60^\circ \pm 3^\circ) \times n$ (n は自然数)であることを特徴とする半導体発光素子を提供する。

【0012】第2に、本発明は、六方晶系の単結晶基板と、この単結晶基板上に積層された化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、前記単結晶基板及び化合物半導体層がそれぞれ1又はそれ以上の正三角形により構成された平面形状を有することを特徴とする半導体発光素子を提供する。

【0013】第3に、本発明は、単結晶基板と、この単結晶基板上に積層された六方晶系の化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、前記単結晶基板の厚さを T 、素子の最も長い一辺の長さを L としたとき、 $T/L < 2$ を満足し、かつ基板表面の凹凸が基板の厚さ T の3%以内にあることを特徴とする半導体発光素子を提供する。

【0014】第4に、本発明は、六方晶系の単結晶基板と、この単結晶基板上に積層された六方晶系の化合物半導体層と、この化合物半導体層に接する電極とを備えた半導体発光素子において、発光素子の一辺が少なくとも

$<11-20>$ もしくは $<1-100>$ 方向のいずれかに平行であることを特徴とする半導体発光素子を提供する。

【0015】第5に、本発明は、基板と、この基板上に積層された半導体膜と、この半導体膜に接する電極を備えた半導体素子において、前記基板が表面から前記半導体膜に達する開口部を有し、前記基板と平行な面での開口部の断面積の最小値が前記半導体層の開口部の基板と平行な面での断面積に比較して小さく、前記電極がこの開口部から前記半導体膜に接するように形成されていることを特徴とする半導体素子を提供する。

【0016】第6に、本発明は、六方晶系の単結晶基板上に化合物半導体層を積層する工程、前記化合物半導体層に接して電極を形成する工程、前記化合物半導体層及び電極を形成した単結晶基板を切断する工程を備えた半導体発光素子の製造方法において、前記化合物半導体層及び電極を形成した単結晶基板 $<11-20>$ 方向もしくは $<1-100>$ 方向に平行に切断して平面多角形状にすることを特徴とする半導体発光素子の製造方法を提供する。

【0017】本発明者らは、第1の側面において、六方晶系の基板、化合物半導体層の切断について種々検討した結果、基板等を切断して平面多角形状の発光素子を形成する際に、多角形の内角の少なくとも1つを $(60^\circ \pm 3^\circ) \times n$ (n は自然数、すなわち、1又は2)とすることにより、切断時に余分の力をかけることなく切断できることを見出した。このような多角形状には、1又はそれ以上の正三角形により構成される平面形状が含まれ、これら形状は、基板等を $<11-20>$ 方向に平行に切断することにより得られる。すなわち、本発明者らにより、六方晶系基板、化合物半導体は、 $<11-20>$ 方向に劈開性を有することが見い出された。

【0018】図1に、本発明による単結晶基板及び化合物半導体層の $<11-20>$ 方向の切断を模式的に示す。図1において、六方晶系の単結晶基板11上に化合物半導体層12が平面平行四辺形状に積層されている。この基板11及び化合物半導体層12を六方晶の $<11-20>$ 方向に平行に、すなわち、化合物半導体層12の平行四辺形の各辺に沿って切断する。得られる素子は、一辺が六方晶の $<11-20>$ 方向にあることとなる。

【0019】このように、多角形の内角のうち少なくとも1つが $(60^\circ \pm 3^\circ) \times n$ であるようにすることにより、次のような効果が得られる。この内角部分上に電極を形成した際に、化合物半導体層の上面を発光に用いる発光ダイオード等の場合は、電極による発光面積の減少が小さくなる。また、端面を発光に用いる発光ダイオード等の場合は、正方形や長方形と上面の面積が同じとき、当該多角形の辺の長さが長くなるので発光に寄与する部分が増える。したがって、光取り出し効率が高くな

り、発光効率が上がる。レーザダイオードの場合は、端面の平坦性が向上し、その結果、良好な発振をするレーザダイオードが得られる。

【0020】なお、六方晶系基板としては、サファイア、炭化ケイ素、酸化亜鉛等の基板を用いることができ、また化合物半導体としては、In、Ga、Al、B、Tl、Y、Sc、ランタニド系元素及びアクチニド系元素から選ばれる少なくとも1種の元素と、N、As、P、Sb及びBiから選ばれる少なくとも1種の元素との化合物半導体を用いることができる。

【0021】また、本発明者らは、第2の側面において、この六方晶の劈開性につき、さらに研究を続けた結果、基板表面を所定の状態に平滑に加工することにより、 $\langle 11-20 \rangle$ 方向における劈開性がより良好になるばかりでなく、 $\langle 1-100 \rangle$ 方向にも良好な劈開性が現われることを見出した。

【0022】すなわち、六方晶系の基板表面を加工しない場合には、図2(a)に示すように、 $\langle 11-20 \rangle$ 方向以外に割れエネルギー（割れにくさをエネルギーとして相対的に表示したもの）の低い方向が多くあり、基板は直線的には割れにくい。基板を加工すると、図2(b)に示すように、所定の2方向（ $\langle 11-20 \rangle$ 方向と $\langle 1-100 \rangle$ 方向）における割れエネルギー（低い）と他の方向における割れエネルギー（高い）との差が明確になり、 $\langle 11-20 \rangle$ 方向と $\langle 1-100 \rangle$ 方向において基板を直線的に割ることが可能となる。その結果、図3に示すように、基板11は、基板平面に対して直線で示す方向に劈開方向を持つこととなる。なお、この加工は、基板表面全体に対して行う必要はなく、割る部分のみ行っても効果的である。

【0023】より具体的には、単結晶基板の厚さをT、（多角形状の）素子の最も長い一辺の長さをLとしたとき、 $T/L \leq 2$ を満足させ、かつ基板表面の凹凸が基板の厚さTの3%以内になるまで基板表面を加工するのである。この表面加工は、基板表面の凹凸の十点平均粗さ Rz が $1.0\mu m$ 以下となるように行うことが好ましく、基板表面の凹凸の中心線平均粗さ Ra が $1.0\mu m$ 以下となるように行うことがさらに好ましく、基板表面の凹凸が $\pm 1\mu m$ の範囲になるように加工することが最も好ましい。表面粗さが $1.0\mu m$ となるように加工すると、図4に示すように、レーザダイオードの場合、その発振しきい値（Jth）が有意に低下するのである。また、この加工の程度を波長 $500nm$ の光の透過率で表わすと、当該透過率が50%以上となるように基板表面を加工するということもできる。

【0024】このように基板表面を加工することにより、劈開性の出現による上記 $\langle 11-20 \rangle$ 方向切断の効果に加えて、例えばレーザダイオードにおいては基板による戻り光の効果が小さくなり、モードが安定するという効果も得られる。さらに、発光ダイオードにおいて

は、劈開による平滑な側面形状と表面加工とが相俟って基板等の凹凸による光の散乱や吸収が少なくなり、チップサイズが小さくとも光取り出し効率が高いという効果も得られる。この場合、発光素子形状は、長方形であっても発光効率や寿命が大幅に改善される。

【0025】さらに、本発明者らは、第3の側面において、所定の半導体基板上に、基板とは構成元素の族が異なり基板との格子整合を達成することが困難である半導体膜を成長させてなる半導体発光素子、典型的には、GaAs等のIII-V族化合物半導体基板上にZnSe等のワイドギャップII-VI族化合物半導体膜を成長させてなる半導体発光素子において、基板表面から半導体膜に達する開口部を形成し、所定の電極をこの開口部から前記半導体膜に接するように形成することによって、発光素子においては発光効率の向上が図れるばかりでなく、高信頼性、低動作電圧、高動作温度を有する半導体素子が得られることを見出した。開口部を形成する際、半導体膜をも部分的に除去するようにしてもよい。

【0026】このように、基板と半導体膜との間に格子定数の差があり、半導体膜の基板付近に欠陥が存在する場合でも、開口部形成によりその欠陥部分が除去され、欠陥のない良質の結晶部分に対して直接電極を形成することができるため、素子の信頼性の向上と動作電圧の低下が図れる。このように電流は基板半導体膜界面の欠陥の多い領域を流れない結果となるので、通電による欠陥の増殖も抑制できる。熱抵抗の小さい電極の場合には、温度特性の向上も図られ、高信頼性、低動作電圧、高動作温度を有する半導体素子が提供される。また半導体膜自体に電極を直接形成しているため、基板における電流の拡散が生じることがなく、本構造は、素子の電流挟持構造として作用し得る。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を詳しく説明する。まず、本発明の第1の側面に係る実施の形態を説明する。

【0028】（第1の実施の形態）図5～図8は、第1の実施の形態に係る発光素子の製造方法を工程順に説明するための各半導体構造を示す図である。図5において、(a)は、素子上面図であり、(b)は、(a)の線BBに沿った断面図である。図6は、同様の素子断面図である。図7において、(a)は、素子上面図であり、(b)は、(a)の線BBに沿った断面図である。図8は、同一基板上に同時に形成された複数の素子の上面図である。

【0029】まず、図5に示すように、サファイアからなる厚さ $100\mu m$ の基板11上に、厚さ $3\mu m$ のn型GaIn層13をMOCVD法によってエピタキシャル成長させた後、その上に厚さ $0.8\mu m$ のp型GaIn層14をMOCVD法によってエピタキシャル成長させる。しかる後、スパッタ法を用いてp型GaIn層14上に二

酸化ケイ素層15を形成し、その上に、図示しないフォトリジストを堆積する。このフォトリジストに、図5(a)に示すように、基板11の<11-20>方向と一辺が重なるように平行四辺形(内角の1つが60°)のパターンを形成し、これをマスクとして各半導体層13および14をエッチングする。しかる後、フォトリジストを溶剤により除去し、二酸化ケイ素層15が形成する平行四辺形の角のうち60°である角部の1つをリン酸によりエッチングしてp型GaIn層14の上面を一部露出させる。

【0030】続いて、図6に示すように、残存する二酸化ケイ素層15をマスクとして、上面が露出した部分のp型GaIn層14をリン酸によりエッチングし、この部分に相当するn型GaIn層13の上面を一部除去して露出させる。そして、二酸化ケイ素層15の、先に露出させたn型GaIn層13と対向する角部をエッチング除去してp型GaIn層14の上面を露出させ、図7に示すように、この部分にAu/Ni電極16を、また露出させたn型GaIn層13上にAl/Ti電極17をそれぞれ形成する。こうして、発光ダイオードの一素子分18が完成する。

【0031】そして、図8に示すような、同一基板11上にこのように同時に複数形成された発光ダイオード18の平行四辺形のパターンに沿って、針状のスクライバを用いスクライプラインを入れる。その後、このラインに沿って基板を押し割り、第1の実施の形態に係る発光ダイオードが完成する。

【0032】この完成した発光ダイオード18は、図9又は図10に示すようにマウントすることができる。図9では、発光ダイオード18は反射板19上に設置されている。発光ダイオード18の電極16、17はそれぞれリード線22を介して外部電極20、21に接続されている。反射板19上の発光素子18は外部電極20、21と絶縁された状態で外部電極20、21によって支持されている。また、図10では、電極16、17はそれぞれ外部電極20、21と直接接続されており、発光ダイオード18は外部電極20、21によって直接支持されている。

【0033】このような第1の実施の形態に係る発光ダイオードは、基板を押し割る際の力が従来のサファイア基板を用いた発光ダイオードの1/10程度で済む。また、発光に寄与するp型GaIn層の上面に形成される電極の面積が、電極を角度60°の角の部分に形成しているため、正方形等の直角部分に形成するときよりも小さくなる。これらにより、第1の実施の形態に係る発光ダイオードは、従来のサファイア基板を用いた発光ダイオードと比較して、輝度が30%以上向上し、寿命は50%以上長くなる。また、従来の発光ダイオードでは歩留りが70%であったのが、90%以上に向上する。

【0034】(第2の実施の形態) 図11に、第2の実

施の形態に係る発光ダイオードの断面図を示す。この断面は第1の実施の形態における断面と同方向断面である。この発光ダイオードは、基板11上にp型GaIn層14が形成され、その上にn型GaIn層13が形成されている点を除いて、第1の実施の形態の発光ダイオード同じ構造を有する。従って、同一部分には同一符号を付し、その説明を省略する。図11に示す第2の実施の形態の発光ダイオードでも第1の実施の形態の発光ダイオードと同様な効果が得られた。

【0035】(第3の実施の形態) 図12に第3の実施の形態に係る発光ダイオードの概略上面図を示す。この発光ダイオードが第1の実施の形態の発光ダイオードと異なる点は、基板11の平行四辺形の辺に対して、化合物半導体層12の平行四辺形の辺が30°ずれている点である。このような構造は、化合物半導体層12上にフォトリジストを堆積させる際に、基板11の<11-20>方向と30°ずれた方向に平行四辺形のパターンを形成することによって得られる。本第3の実施の形態の発光ダイオードでも第1の実施の形態の発光ダイオードと同様な効果が得られた。

【0036】(第4の実施の形態) 図13に本実施例に係る発光素子の上面図及び断面図を示す。図13(a)は、上面図、図13(b)は、(a)の線BBに沿う断面図である。この発光素子はレーザダイオードである。図13に示すように、厚さ100μmのサファイア基板31上に厚さ20nmのInGaInバッファ層32、厚さ3μmのn型AlGaIn層33、厚さ100nmのGaIn活性層34、厚さ500nmのp型AlGaIn層35が順に積層され、n型AlGaIn層33の上面が60°の角を含む片側の半分程度露出されている。p型AlGaIn層35上には、Au/Niストライプ状電極36が形成され、n型AlGaIn層33上にはAl/Ti電極37が形成されている。

【0037】従来から、サファイア基板を用いてレーザダイオードを作製する試みはなされている。しかし、従来はスクライビングを行いレーザダイオードを一素子ずつ分離してしまうと、レーザダイオードを発振させることは困難であった。これに対し、第4の実施の形態のレーザダイオードはしきい値200mAでレーザ発振した。

【0038】(第5の実施の形態) 図14に第5の実施の形態に係るレーザダイオードの上面図及び断面図を示す。図14(a)は上面図、図14(b)は、(a)の線BBに沿った断面図である。図14に示すように、厚さ100μmのサファイア基板41上に厚さ20μmのInGaInバッファ層42、厚さ3μmのn型AlGaIn層43、厚さ100nmのGaIn活性層44、厚さ500nmのp型AlGaIn層45が順に積層され、n型AlGaIn層43の上面が60°の角を含む両側から、p型AlGaIn層45の上面が多少線状に残るように露

出されている。p型AlGaIn層45上には、ほぼ全面にAu/Ni線状電極46が形成され、n型AlGaIn層43上面の2つの領域にはそれぞれAl/Ti電極47が形成されている。

【0039】第5の実施の形態のレーザダイオードは第4の実施の形態のレーザダイオードと比較して、光閉じ込め効率、電流閉じ込め効率がともに高くなり、しきい値100mA以下で発振する。

【0040】(第6の実施の形態) 図15に第6の実施の形態に係る発光ダイオードの上面図及び断面図を示す。図15(a)は上面図、図15(b)は、(a)の線BBに沿った断面図である。

【0041】図15に示すように、厚さ100 μ mのZnO基板51上に厚さ50nmのAlNバッファ層52、厚さ4 μ mのn型AlInGaIn層53、厚さ100nmのAlInGaIn層54、厚さ200nmのp型AlInGaIn層55が順に積層されている。平行四辺形の60°の角部の1つがn型AlInGaIn層53の途中までエッチングされている。そして、p型AlInGaIn層55上にAu/Ni電極56が、n型AlInGaIn層53上にAl/Ti電極57が形成されている。

【0042】第6の実施の形態の発光ダイオードは従来の同様な構造の発光ダイオードと比較して、光出力が100%以上大きくなり、寿命も100%長くなった。

【0043】(第7の実施の形態) 図16に本実施例に係る発光ダイオードの断面図及び上面図を示す。図16(a)は上面図、図16(b)は、(a)の線BBに沿った断面図である。

【0044】図16に示すように、厚さ100 μ mのSiC基板61上に厚さ50nmのAlNバッファ層62、厚さ4 μ mのn型AlInGaIn層63、厚さ100nmのAlInGaIn層64、厚さ200nmのp型AlInGaIn層65が順に積層されている。p型AlInGaIn層65の上面には、平行四辺形の各角にそれぞれ向かうようなAu/Ni十字状電極66が、SiC基板61の下面には、Al/Ti電極67がそれぞれ形成されている。

【0045】第7の実施の形態の発光ダイオードは第6の実施の形態の発光ダイオードと同様な光出力、寿命が得られた。また、第7の実施の形態の発光ダイオードでは、第6の実施の形態の発光ダイオードと異なり、化合物半導体層をエッチングする工程がないため、工程数を減らすことができる。

【0046】(第8の実施の形態) 図17に第8の実施の形態に係るレーザダイオードの上面図及び断面図を示す。図17(a)は上面図、図17(b)は(a)の線BBに沿った断面図である。

【0047】図17に示すように、厚さ100 μ mのSiC基板71上に厚さ50nmのAlNバッファ層7

2、厚さ4 μ mのn型AlInGaIn層73、厚さ100nmのAlInGaIn層74、厚さ200nmのp型AlInGaIn層75が順に積層されている。p型AlInGaIn層75上には二酸化ケイ素層78が形成されている。また、SiC基板71の下面にはAl/Ti電極77が形成されている。

【0048】第8の実施の形態のレーザダイオードは第4の実施の形態のレーザダイオードと同様なしきい値で発振した。また、第4及び第5の実施の形態のレーザダイオードと異なり、化合物半導体層をエッチングする工程がないため、それだけ工程数を減らすことができる。

【0049】以上、本発明の第1の側面を実施の形態に即して説明したが、本発明では、基板の<11-20>方向に沿った方向に切断を行えば、素子形状は平行四辺形でなくてもかまわない。例えば、正三角形でもよいし、正三角形6つより構成される六角形でもよい。さらに、その他の多角形でもよい。

【0050】また、<11-20>方向から多少ずれてもそのずれが $\pm 3^\circ$ 程度の範囲であれば、切断時に必要な力はさほど大きくなることはない。したがって、この範囲であれば、スクライビングを行うのみでよい。

【0051】さらに、<11-20>方向からのずれが $\pm 3^\circ$ よりも大きい場合でも、リン酸を用いて端面をエッチングすることにより垂直かつ平坦な端面を得ることができる。また、リン酸エッチングではなく、塩素や塩化ホウ素を用いたドライエッチングを用いることも可能である。

【0052】また、以上の実施例で用いたMOCVD法の代わりに、化合物半導体層の成長方法としてCVD法やMBE法を用いてもよい。

【0053】なお、本発明においては、基板の厚さは30~500 μ mが好ましく、50~150 μ mの厚さがより好ましい。すなわち、基板は、薄すぎると、割れる恐れが高く、厚すぎると、切断の際に必要な力が大きくなりすぎってしまうからである。

【0054】次に、本発明の第2の側面に係る実施の形態を説明する。

【0055】(第9の実施の形態) 図18に第9の実施の形態に係るレーザダイオードの断面を示す。図18に示すように、サファイア基板81上に、n型GaIn層82、n型AlGaIn層83、InGaIn層84、p型AlGaIn層85及びp型GaIn層86をこの順に成長させる。このウエーハ上に二酸化ケイ素膜をCVD法、プラズマCVD法、スパッタ法等により形成する。この二酸化ケイ素膜を半導体構造の中央部に位置するストライプ状にパターンニングし、これをマスクとしてn型GaIn層82が露出するまで各半導体層をアルカリによるウェットエッチング、RIE(反応性イオンエッチング)、RIBE(反応性イオンビームエッチング)等によりエッチング除去する。しかる後、二酸化ケイ素マスクを除

去し、露出した n 型Ga N 層82の表面、エッチングした各半導体層側面及び p 型Ga N 層86の表面に渡って二酸化ケイ素膜を形成し、この二酸化ケイ素膜に、 n 型Ga N 層82及び p 型Ga N 層86の各電極形成部を露出するようにストライプ状開口部を形成する。ついで、露出した p 型Ga N 層86に接してAu/Ni電極88を形成し、露出した n 型Ga N 層82にAu/Pt/Ti電極89を形成する。

【0056】しかる後、サファイア基板81の表面をダイヤモンド等で鏡面化する。この鏡面化の際、酸、アルカリを使用したウエットエッチングを行っても、あるいはRIE、RIBE等によるドライエッチングを行ってもよい。こうして鏡面化した基板に対し、上記ストライプの長手方向(<1-100>方向に平行)に1mmの長さを持つように、平面形状1mm×500 μ mに注意深く劈開を行う。

【0057】こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの1/2となった。

【0058】(第10の実施の形態) 図19に第10の実施の形態に係るレーザダイオードを示す。図19

(a)は上面図、図19(b)は、(a)の線BBに沿った断面図である。図19に示すように、SiC基板91上に、 n 型Ga N 層92、 n 型AlGa N 層93、InGa N 層94、 p 型AlGa N 層95及び p 型Ga N 層96をこの順に成長させる。このウエーハ上に二酸化ケイ素膜97をCVD法、プラズマCVD法、スパッタ法等により形成する。この二酸化ケイ素膜97にパターニングを行い、 p 型Ga N 層96をストライプ状に露出させる開口部97aを形成する。

【0059】ついで、基板91の表面をダイヤモンド等で鏡面化した後、ストライプ状に露出した p 型Ga N 層96に接してAu/Ni電極98を、また基板表面にAu/Pt/Ti電極99をそれぞれ形成する。しかる後、第9の実施の形態と同様に、上記ストライプの長手方向に1mmの長さを持つように、1mm×500 μ mに注意深く劈開を行う。

【0060】こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの1/2となった。

【0061】(第11の実施の形態) 図20に第11の実施の形態に係るレーザダイオードの断面を示す。図20(a)は、その上面図、図20(b)は、電極を除いた状態での図20(a)の線BBに沿った断面図である。図20に示すように、サファイア基板101上に、 n 型Ga N 層102、 n 型AlGa N 層103、Ga N 層/InGa N 層/Ga N 層積層構造104、 p 型AlGa N 層105及び p 型Ga N 層106をこの順に成長させる。このウエーハ上に二酸化ケイ素膜107をCVD法、プラズマCVD法、スパッタ法等により形成す

る。この二酸化ケイ素膜107をパターニングし、これをマスクとして n 型Ga N 層102が一部露出するように各半導体層をアルカリによるウエットエッチング、又はRIE(反応性イオンエッチング)、RIBE(反応性イオンビームエッチング)等のドライエッチングによりエッチング除去する。しかる後、再び二酸化ケイ素マスク107をパターニングして p 型Ga N 層106をストライプ状に露出させる。ついで、露出した p 型Ga N 層106に接してAu/Ni電極108を形成し、露出した n 型Ga N 層102にAu/Pt/Ti電極109を形成する。

【0062】しかる後、サファイア基板101の表面をチップ形状に沿ってダイヤモンド等で鏡面化する。この鏡面化の際、酸、アルカリを使用したウエットエッチングを行っても、あるいはRIE、RIBE等によるドライエッチングを行ってもよい。こうして鏡面化した基板に対し、第9の実施の形態と同様に、上記ストライプの長手方向に1mmの長さを持つように、1mm×500 μ mに注意深く劈開を行う。

【0063】こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの1/2となった。

【0064】(第12の実施の形態) 図21に第12の実施の形態に係るレーザダイオードを示す。図21

(a)は、電極を除いた状態のその底面図、図21

(b)は、(a)の線BBに沿った断面図である。図21に示すように、サファイア基板201上に、 n 型Ga N 層202、 n 型AlGa N 層203、Ga N 層204、 p 型AlGa N 層205及び p 型Ga N 層206をこの順に成長させる。このウエーハ上に二酸化ケイ素膜207をCVD法、プラズマCVD法、スパッタ法等により形成する。この二酸化ケイ素膜207をパターニングし、 p 型Ga N 層206をストライプ状に露出させる。

【0065】しかる後、サファイア基板201の表面をチップ形状にあわせてその周囲及び中央部をダイヤモンド等で鏡面化する。この鏡面化の際、酸、アルカリを使用したウエットエッチングを行っても、あるいはRIE、RIBE等によるドライエッチングを行ってもよい。このとき、二酸化ケイ素マスクを用いて基板表面中央部から n 型Ga N 層202に達するストライプ状開口部201aを形成する。しかる後、 p 型Ga N 層に接してAu/Ni電極を、また基板201表面から開口部201aを通して n 型Ga N 層202に接する電極209を形成する。ついで、チップ形状に沿って鏡面化した基板に対し、第9の実施の形態と同様に、上記ストライプの長手方向に1mmの長さを持つように、1mm×500 μ mに注意深く劈開を行う。

【0066】こうして得られたレーザダイオードは、その発振しきい値が、従来のレーザダイオードの1/4と

なった。

【0067】次に本発明の第3の側面に係る実施の形態を説明する。

【0068】(第13の実施の形態)図22に、第13の実施の形態に係る半導体素子(半導体レーザ)を示す。図22(a)は、その断面図、図22(b)は、電極を除いた状態でその底面から見た斜視図である。

【0069】図22に示すように、高抵抗GaAs基板301上に、p型ZnSe下部クラッド層302(厚さ2 μ m、ドーピングキャリア濃度1E18cm⁻³)、CdZnSe/ZnSe量子井戸活性層303、n型上部クラッド層304(厚さ0.5 μ m、ドーピングキャリア濃度1E18cm⁻³)からなる多重ヘテロ構造部が形成されている。このヘテロ構造部は、発光領域となる。上部クラッド層304上には、上部クラッド層304を一部露出する開口部305aを有するp型電流阻止層305(厚さ1 μ m、ドーピングキャリア濃度1E18cm⁻³)が形成されている。電流阻止層305上には、その開口部305aを通して上部クラッド層304にも達するように、n型ZnSe埋め込み層306(厚さ3 μ m、ドーピングキャリア濃度1E18cm⁻³)が形成され、その上には、n型ZnSeキャップ層307(厚さ500nm、ドーピングキャリア濃度1E19cm⁻³)が形成されている。このキャップ層307の上には、その全面に渡って、Ti(50nm)、Pt(50nm)及びAu(300nm)の順に積層されたn電極308が形成されている。

【0070】基板301には、図22(b)(ここでは、半導体層301~307をまとめて[SL]として表示してある)に最もよく示されているように、その表面から、基板301を貫通し、下部クラッド層302をも部分的に除去してスロット状の開口部309が設けられている。この開口部309を通して、下部クラッド層302に接してCuSe電極310が形成され、さらにこの電極310上及び基板301表面に渡ってPd/Au電極311が形成されている。

【0071】このような半導体レーザは、次のようにして製造することができる。すなわち、まず、基板301の表面を清浄化するために、1E-8 Torr以下の真空下、約550℃~650℃の温度に5分間かけて昇温する。この昇温によって、酸化膜等の表面汚染物が除去されることがRHEDにより観察される。

【0072】しかる後、300℃において、MBE法により、p型ZnSe下部クラッド層302、CdZnSe/ZnSe量子井戸活性層303、n型ZnSe上部クラッド層304、p型ZnSe電流阻止層305を成長させる。p型ドーパントとして空素を、n型ドーパントとして塩素を用いる。ついで、MBE成長炉からウエーハを取り出し、フォトリソグラフィ及び臭素系溶液中でのエッチングによりp型ZnSe電流阻止層305

にn型ZnSe上部クラッド層304に達する開口部305aを形成する。ついで、ウエーハをMBE成長炉に入れ、250℃出n型ZnSe埋め込み層306、n型ZnSeキャップ層307を形成する。ウエーハを再びMBE成長炉から取り出し、表面全面に渡りn電極308を形成する。次に、GaAs基板301の表面にAuを蒸着した後、このウエーハをn電極308側でワックスによりガラス板に張り付ける。しかる後、フォトリソグラフィ及びKI系エッチング液により、上記蒸着Auをエッチングしてスロット状開口部309形成用のマスクを形成する。このマスクを用いてNaOH:H₂O₂=5:1の混合物からなるエッチング液でGaAs基板をエッチングする。このエッチング液は、ZnSeに対してエッチング速度が遅いため、エッチングはZnSe下部クラッド層302で停止する。ついで、臭素系エッチング液によりZnSe下部クラッド層302を部分的にエッチングした後、CuSeを水溶液中で成長させてCuSe電極310を形成し、最後にPd/Au電極311を形成する。

【0073】図22に示す半導体レーザ構造を共振器長500 μ mに剪開し、銅製のヒートシンクにIn半田を用いてマウントし、その特性を室温で評価した。発振波長は525nmであり、連続動作での発振しきい値電流は40mAであった。また、この時の動作電圧は2.75Vであった。連続動作での最高発振温度は120℃であった。すなわち、本発明に従って基板表面にZnSe下部クラッド層に達する開口を設けることにより、従来困難であった室温での連続発振ばかりでなく、室温において実用に十分な信頼性を確保するために必要な高温までの発振が得られる。事実、動作温度70℃、動作光出力5mWにおいて10000時間以上の動作が確認された。

【0074】このように良好な信頼特性が得られた要因は、III-V族化合物半導体からなる基板とその上に形成されたZnSe等のII-VI族化合物半導体層を有する素子において、該基板表面から該半導体層に達する開口を設けることによって該半導体層と基板との界面近傍に存在する欠陥が除去され、該半導体層に直接接して電極を形成することにより、特性劣化の直接的な原因が取り除かれるとともに、従来のように基板を介して間接的に半導体層に電流を注入する場合に比べて界面近傍の欠陥の増殖が抑制される結果発光部への欠陥の侵入が阻止されるためである。また、本発明による素子構造により電流狭窄構造が得られるため、電流密度が向上し、低電圧動作が可能となり、また端面への電流注入がないので端面劣化が低減される。加えて、活性層近傍に電極すなわち金属が存在するため放熱効率が良好で素子の発熱を効率よく放散できる。

【0075】(第14の実施の形態)図23に第14の実施の形態に係る半導体素子(半導体レーザ)の断面図

を示す。図23に示すように、p型GaAs基板401上に、絶縁性ZnSeパッファ層402（厚さ0.2 μ m、ドーピングキャリア濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下）を介して、n型ZnSSe下部クラッド層403（厚さ2 μ m、ドーピングキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）、CdZnSe/ZnSe量子井戸活性層404、p型上部クラッド層405（厚さ0.5 μ m、ドーピングキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）からなる多重ヘテロ構造部が形成されている。このヘテロ構造部は、発光領域となる。上部クラッド層405上には、上部クラッド層405を一部露出する開口部406aを有するn型ZnSSe電流阻止層406（厚さ1 μ m、ドーピングキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）が形成されている。電流阻止層406上には、その開口部406aを通して上部クラッド層405にも達するように、p型ZnSSe埋め込み層407

（厚さ3 μ m、ドーピングキャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ ）が形成され、その上には、p型ZnSSeキャップ層408（厚さ500nm、ドーピングキャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$ ）が形成されている。このキャップ層408の上には、その全面に渡って、Pd（50nm）及びAu（300nm）の順に積層されたp電極409が形成されている。

【0076】基板401には、その表面から、基板401及びパッファ層402を貫通し、下部クラッド層403をも部分的に除去してスロット状の開口部410が設けられている。この開口部410は、基板に対してパッファ層402及び下部クラッド層403のエッチング速度が大きい結果、基板表面に平行な面において基板401における開口面積に比べパッファ層402における開口面積が大きくなっている。この開口部410を通して、下部クラッド層403に接してIn（10nm）及びAu（300nm）からなるn電極211が形成されている。

【0077】この半導体レーザについても、第13の実施の形態に係る半導体レーザと同様良好な特性が得られた。

【0078】なお、上に記述したように、開口部410を基板における開口面積より基板に接して形成された半導体層における開口面積の方が大きくするように形成することにより、電極を良好な密着性をもって形成することができる。すなわち、例えばIn電極を形成する場合、Inを被覆してから加熱後の冷却時に、大開口部により内部圧力が吸収されInが半導体の面に対してより一層密着することとなる。また、この際、パッファ層及び下部クラッド層のエッチング部の側面には電極が付着しないので、基板界面へのリーク電流パスが生じないという利点も得られる。

【0079】図24に、p型GaAs基板界面近傍のp型ZnSe層の実効アクセプタ濃度を示す。図24に示されているように、基板界面近傍では実効アクセプタ濃

度は低下しており、この状態で素子を動作させると基板とp型ZnSe層との界面では電圧降下が大きくなり、素子の動作電圧は高くなる。これに対し、本発明の第3の側面に従って開口部を設けるとこのようにアクセプタ濃度が低下している部分が除去されてp型ZnSe層に直接電極を形成できるので動作電圧の低下に寄与することができる。

【0080】以上、図22～図24に基づいて本発明の第3の側面を半導体レーザについて説明したが、本発明の第3の側面は、これに限らず、III-V族化合物半導体からなる半導体基板上にII-VI族半導体化合物層が形成された発光ダイオードやヘテロバイポーラトランジスタ等にも適用することができ、その場合でも同様に高い信頼性が得られる。また、基板としてもケイ素、サファイア、SiC、SrTiO₂、ダイヤモンド等を用いることもでき、さらにその上に形成する半導体層としてII-V族化合物半導体例えばGa_{0.5}In_{0.5}N、Al_{0.5}Ga_{0.5}N、BN、AlNを用いることもできる。

【0081】

【発明の効果】以上述べたように、本発明により、発光効率等の特性に優れた半導体素子及びその製造方法が提供される。なお、本発明において、第1の側面、第2の側面及び第3の側面を種々組み合わせることができるというまでもない。

【図面の簡単な説明】

【図1】本発明の第1の側面に係る半導体発光素子の切断方向を一例を示す概略平面図。

【図2】本発明の第2の側面により基板表面を加工した場合（b）と加工しない場合（a）それぞれの基板の割れエネルギーを比較して示すグラフ図。

【図3】本発明の第2の側面により基板表面を加工した場合の劈開方向を示す概略平面図。

【図4】基板表面の加工精度と、発光素子の発振しきい値との関係を示す図。

【図5】本発明の第1の実施の形態に係る発光素子の製造工程を説明するための図。

【図6】本発明の第1の実施の形態に係る発光素子の製造工程を説明するための図。

【図7】本発明の第1の実施の形態に係る発光素子の製造工程を説明するための図。

【図8】本発明の第1の実施の形態に係る発光素子の製造工程を説明するための図。

【図9】本発明の発光素子をマウントした状態を示す模式図。

【図10】本発明の発光素子を別の形態でマウントした状態を示す模式図。

【図11】本発明の第2の実施の形態に係る発光素子の断面図。

【図12】本発明の第3の実施の形態に係る発光素子の平面図。

【図13】本発明の第4の実施の形態に係る発光素子を示す図。

【図14】本発明の第5の実施の形態に係る発光素子を示す図。

【図15】本発明の第6の実施の形態に係る発光素子を示す図。

【図16】本発明の第7の実施の形態に係る発光素子を示す図。

【図17】本発明の第8の実施の形態に係る発光素子を示す図。

【図18】本発明の第9の実施の形態に係る発光素子を示す断面図。

【図19】本発明の第10の実施の形態に係る発光素子を示す図。

【図20】本発明の第11の実施の形態に係る発光素子を示す図。

【図21】本発明の第12の実施の形態に係る発光素子を示す図。

【図22】本発明の第13の実施の形態に係る発光素子を示す図。

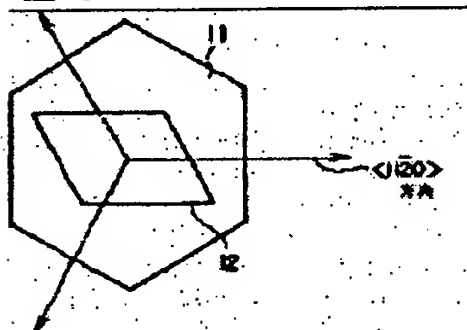
【図23】本発明の第14の実施の形態に係る発光素子を示す図。

【図24】半導体基板の界面近傍における半導体層中の実効キャリア濃度を示す図。

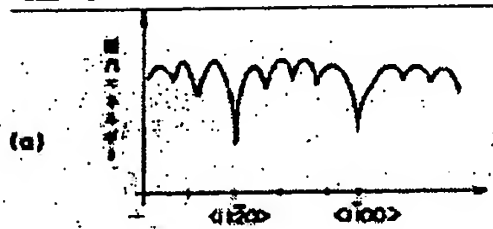
【符号の説明】

11, 31, 41, 51, 61, 71, 81, 91, 101, 201, 301, 401…基板、12, 13, 14, 32, 33, 34, 35, 42, 43, 44, 45, 52, 53, 54, 55, 62, 63, 64, 65, 72, 73, 74, 75, 82, 83, 84, 85, 86, 92, 93, 94, 95, 96, 102, 103, 104, 105, 106, 202, 203, 204, 205, 206, 302, 303, 304, 305, 306, 307, 402, 403, 404, 405, 406, 407, 408…半導体層、16, 17, 36, 37, 46, 47, 56, 57, 66, 67, 76, 77, 88, 89, 98, 99, 108, 109, 208, 209, 308, 311, 409, 411…電極、309, 410…スロット状開口部。

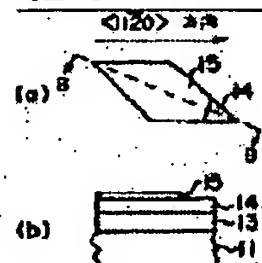
【図1】



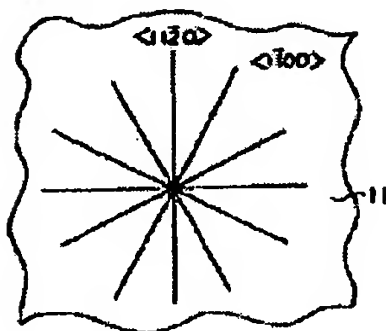
【図2】



【図5】



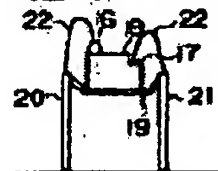
【図3】



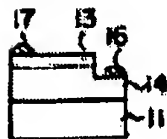
【図6】



【図9】



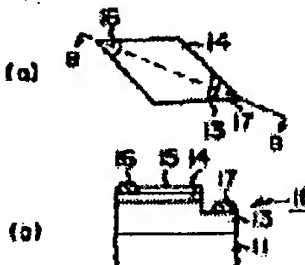
【図11】



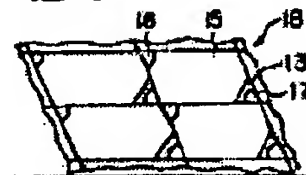
【図6】

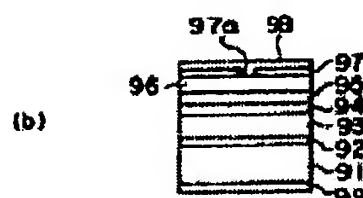
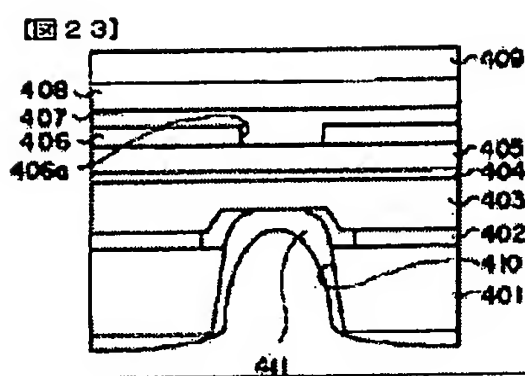
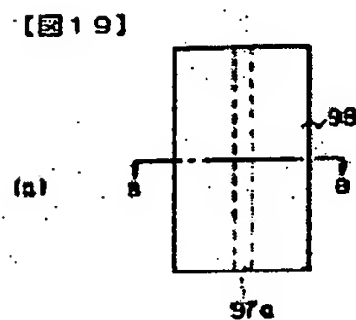
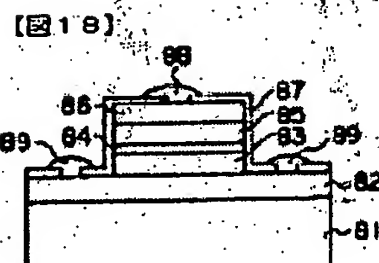
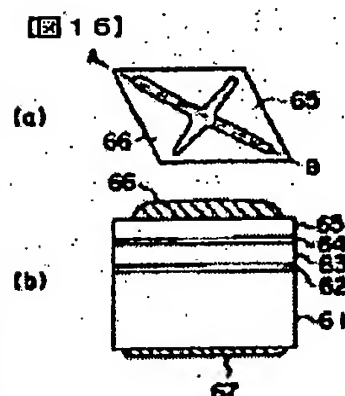
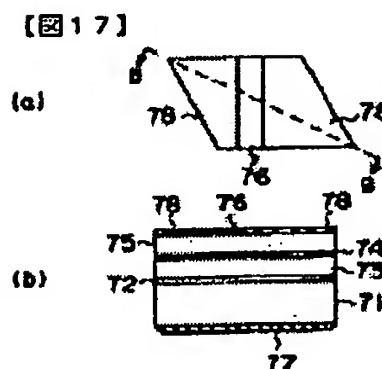
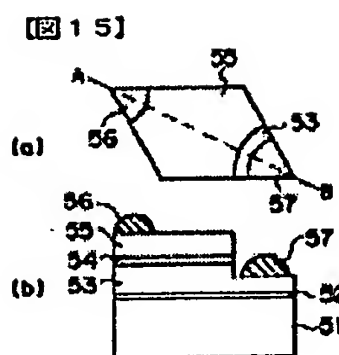
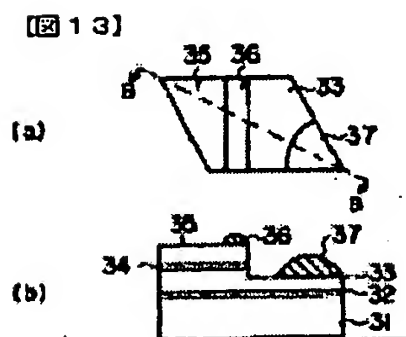
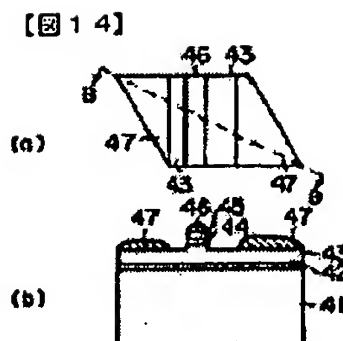
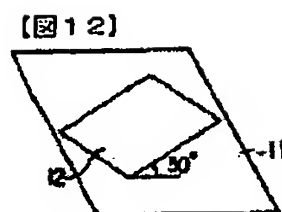
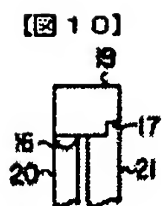
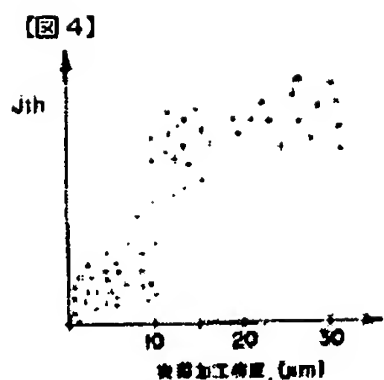


【図7】

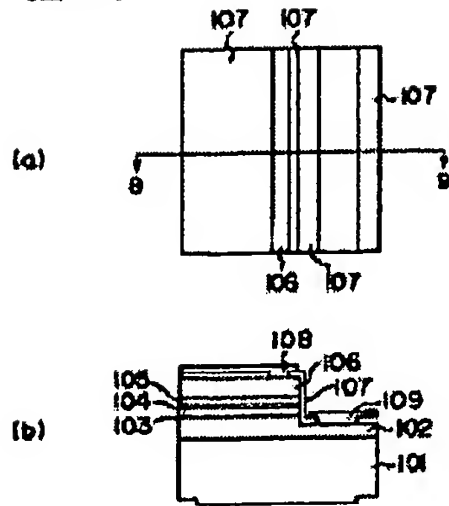


【図8】

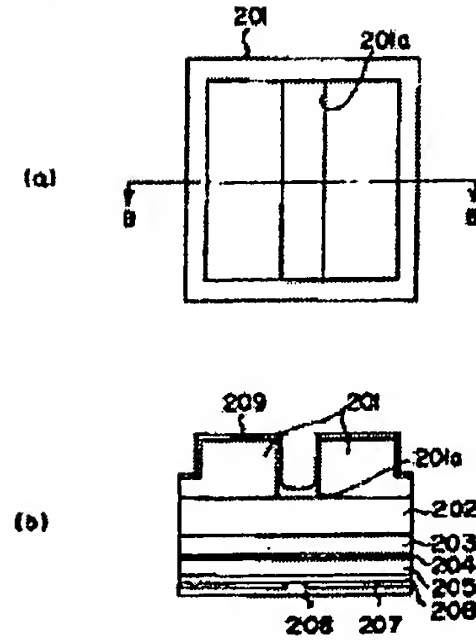




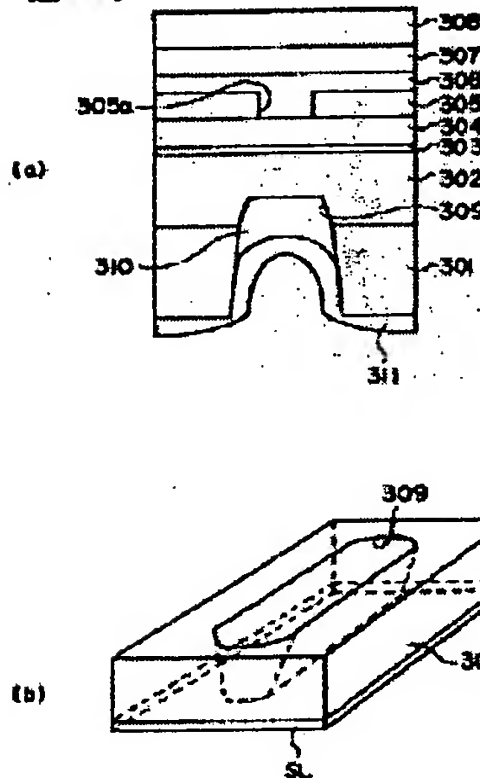
【図20】



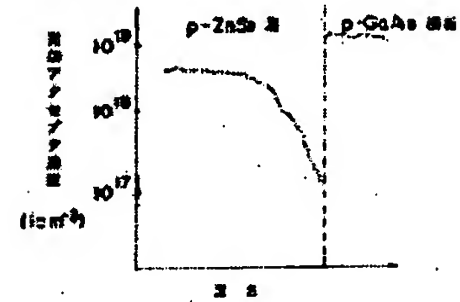
【図21】



【図22】



【図24】



フロントページの続き

(72)発明者 石川 正行
神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内

(72)発明者 斎藤 真司
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 西川 幸江
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 ション・レニー
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内